

PAT-NO: JP404010660A

DOCUMENT-IDENTIFIER: JP 04010660 A

TITLE: MOS THIN FILM TRANSISTOR

PUBN-DATE: January 14, 1992

INVENTOR-INFORMATION:

NAME

ARUBERUTO, OO ADAN

ASSIGNEE-INFORMATION:

NAME

SHARP CORP

COUNTRY

N/A

APPL-NO: JP02113833

APPL-DATE: April 27, 1990

INT-CL (IPC): H01L029/784

ABSTRACT:

PURPOSE: To obtain a transistor, of a self-aligned asymmetric offset structure, whose OFF current is small by a method wherein a channel formation region and a source region are constituted so as to be adjacent in a self-aligned manner and a drain offset region is laid and installed between them.

CONSTITUTION: A thin-film transistor main part 3 is doped to be of a p-type (P<SP>+</SP>) at a high concentration in positions of contact holes 5, 5'. An upper-part electrode layer composed of polysilicon or a metal is vapor-deposited or patterned and formed and constitutes a

gate electrode, a source electrode and a drain electrode 6, 7, 8. Boron ions are implanted by using the mask of a photoresist which is overlapped with the gate electrode and the drain electrode; a source S and a drain offset region 9 which have been self-aligned are formed. The photoresist is removed, and boron ions at a low concentration are implanted. Thereby, an asymmetric LDD offset structure (LDD region 10) is formed.

COPYRIGHT: (C) 1992, JPO&Japio

⑫ 公開特許公報(A)

平4-10660

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)1月14日

H 01 L 29/784

9056-4M

H 01 L 29/78

3 1 1 X

審査請求 未請求 請求項の数 1 (全 11 頁)

⑭ 発明の名称 MOS型薄膜トランジスタ

⑯ 特 願 平2-113833

⑰ 出 願 平2(1990)4月27日

⑱ 発 明 者 アルベルト・オー・ア ダン 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社 内

⑲ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

⑳ 代 理 人 弁理士 野河 信太郎

明 細 書

1. 発明の名称

MOS型薄膜トランジスタ

2. 特許請求の範囲

1. 基板上に形成された薄膜半導体層中に一導電型のドレイン領域及びソース領域とこの間で設定される他導電型のチャンネル形成領域を有し、かつこのチャンネル形成領域の上部及び／又は下部に絶縁層を介して当該領域幅に対応するゲート電極を備えると共に、上記ドレイン領域及びソース領域に接続されるドレイン電極及びソース電極を備えてなり、

上記薄膜半導体層中のチャンネル形成領域とソース領域とが隣接して自己整合的に構成される一方、同チャンネル形成領域とドレイン領域との間には、ドレインオフセット領域が自己整合的に介設されてなるMOS型薄膜トランジスタ。

3. 発明の詳細な説明

(イ) 産業上の利用分野

この発明は、MOS型薄膜トランジスタに関す

る。さらに詳しくは、ポリシリコンとSOI構造を用いたMOS型薄膜トランジスタに関する。この発明の薄膜トランジスタは、ことにスタティックRAMでの負荷用素子として有用である。

(ロ) 従来の技術及び発明が解決しようとする課題

MOS型薄膜トランジスタ(MOS-TFT)は大面積LSIの液晶表示素子(LCD)や大容量LSIのスタティックRAMの負荷素子に広く用いられている。これらの素子は、ポリシリコンの薄膜が蒸着(deposition)によって作製されているため通常、非常に高い密度の欠陥を有している。その結果、これらの膜において形成されるp-n接合でのリーク電流は、単結晶による場合に比して非常に大きい。

第5図(a)~(c)に、通常のポリシリコンMOS-TFTの基本構造及びドレイン電流-ゲート電圧特性(I_d-V_{gs})を示した。図中、Sはソース、Gはゲート、Dはドレインを示す。ここで、ゲート電圧がゼロ($V_{gs}=0$)でドレイン-ソース電圧が

通常の設定 ($V_{ds}=V_{dd}$) の場合のドレイン電流 (I_d) をオフ電流 (I_{OFF}) とし、ゲート電圧及びドレイン電圧が共に通常の設定 ($V_{gd}=V_{ds}=V_{dd}$) の場合のドレイン電流 (I_d) をオン電流 (I_{ON}) とした。

オフ電流すなわちリーク電流はドレインのデプリーション領域での再結合-生成機構 (recombination-generation mechanism) に複雑にからんでい

る。さらに加えポリシリコンの様な結晶欠陥が高い半導体膜においては、この機構はデプリーション層内でドレイン-ゲート間の電界によって増強される。オフ電流の依存性は下式によって示すことができる。

$$I_{OFF} = qkT\pi\sigma v_{th}n_1(N_{TS}/S_g)Wt_s(e_sE_0/qNd)\exp(E_m/E_0) \quad \dots [1]$$

(式中、 q は電荷、

k はボルツマン定数、

T は絶対温度、

N_{TS} はトラップ密度 (eV/cm^2)

W はトランジスタのチャンネル幅、

e_s はシリコンでの誘電率、

N_d はドナー濃度、

σ は有効捕獲断面、

v_{th} は熱速度、

n_1 は固有半導体担体濃度、

S_g はポリシリコンの粒径、

E_0 は定数 ($1 \times 10^5 V/cm$)、

E_m はデプリーション層の最大電界)

上記最大電界 (E_m) は下式で表わすことができる。

$$E_m = E_1 + E_2$$

$$E_1 = \sqrt{2qN_{TS}r_sV_d}/e_s$$

$$E_2 = \alpha[(C_{ox}/e_s)(V_{gs}-V_{ds}-V_{FB})]$$

ここで α は外縁電界因子 (~ 0.5)、 C_{ox} はトランジスタの単位面積当りのゲート酸化膜容量である。また、電界 E_m の効果は、指数関数的エシハンスメント因子 $F_e = \exp(E_m/E_0)$ によって与えられ、この指数関数的依存性はゲート及びドレイン電圧と共に素子のオフ電流を著しく増加させる。

-3-

ところで、バッテリーで作動するスタティック RAM を必要とする用途において、待機 (standby) 電力の消費を非常に低くすることが重要である。このような用途のために、スタティック RAM のセル中の負荷素子として、第 6 図 (a)~(d) に示すようなポリシリコン PMOS TFT が提案されている。図中、(a) は平面図、(b) は Y-Y' 断面図、(c) は X-X' 断面図を各々示すものであり、(d) は等価回路図である。そして、図中、21 は第 1 層間酸化膜、22 は第 2 層間酸化膜、23 は第 3 ポリシリコン層、24 は第 2 ポリシリコン層、25 は第 1 ポリシリコン層、26 は WSi₂ 層、27 は P-MOS FET を各々示すものであり、Q1~Q6 は素子構成部位を各々示すものである。

しかしながら、1Mビットを越える容量の高集積度のメモリにおいては、待機電流は合計 1 μ A 以下が要求される。従って、ポリシリコン PMOS

TFT のオフ電流は 0.1 pA 未満であることが要求される。この要求を満足するために、上記式 [1] に基づいて、粒径が大きく ($S_g \sim 1 \mu m$)

なるような気相成長技術を用いて材料の品質の改善がなされている。そして最近、非常に薄い膜 ($t_p \sim 10 nm$) が用いられている。

しかしながらかかる薄い膜は、大量生産上、製造及び制御が非常に困難である。

一方、オフ電流を減少させる技術として、第 7 図 (a) 及び (b) に示すときドレインオフセット構造が提案されている。この場合ゲート電極が TFT チャンネル又は素子本体の下に位置するため、TFT チャンネルはフォトレジストマスクによって設定される。かかる技術における問題点は、高集積スタティック RAM に要求されるようなサブミクロンサイズの素子においてゲート電極を下方に配した状態でチャンネルをこの (下方) のゲート電極に重ね合わせながら形成する難しさである。第 7 図 (c) に示されるように、バルク NMOS トランジスタのチャンネル長は最小寸法であり、位置合わせの許容誤差はほぼ $DM = L_n/2$ である。従って、ポリシリコン PMOS トランジスタにおいてゲート制御されうるチャンネル長は、 $0 \sim L_n$

-5-

-6-

の間で変動することとなる(第7図(d)、(e)参照)。

また、オフ電流を減少してON/OFF比を改善すべく、第8図(a)、(b)のごときソース及びドレインオフセット(R_s、R_d)を有するLDD(Low Doped Drain)構造も提案されている。この構造は、ソース、ドレイン共に低いドーピング領域であって、対称構造である。従って、ソース電極の直列抵抗が生じ、それによりトランジスタのオン電流の減少をもたらす。

この発明は、かかる状況下なされたものであり、製造困難な非常に薄い膜を要することなく、オフ電流の小さな新しい自己整合非対称オフセット構造のMOS型薄膜トランジスタを提供しようとするものである。

(ハ)課題を解決するための手段及び作用

かくしてこの発明によれば、基板上に形成された薄膜半導体層中に一導電型のドレイン領域及びソース領域とこの間で設定される他導電型のチャンネル形成領域を有し、かつこのチャンネル形成領域の上部及び/又は下部に絶縁層を介して当該

領域幅に対応するゲート電極を備えると共に、上記ドレイン領域及びソース領域に接続されるドレイン電極及びソース電極を備えてなり、上記薄膜半導体層中のチャンネル形成領域とソース領域とが隣接して自己整合的に構成される一方、同チャンネル形成領域とドレイン領域との間には、ドレインオフセット領域が自己整合的に介設されてなるMOS型薄膜トランジスタが提供される。

この発明のTFT構造によれば、1)ゲートとドレインとの間のドレインオフセットによってドレインにおける反転バイアス接合デプリーション領域での最大電界を減少でき、2)電界エンハンスメント因子及びオフ電流を減少させることができる。また、自己整合的ソース形成によってソースの寄生抵抗によるオン電流の低下を伴うことなくゲート電圧の直接印加ができ、さらに3)ドレインオフセットが自己整合され、上部ゲートとドレイン電極との分離が正確に設定されるため、製造も簡略化される。

この発明の自己整合非対称ドレインオフセット

-1-

-8-

構造のMOS薄膜トランジスタのうち、シングルゲート構造のものを第1図及び第2図に示した。もちろんこの発明のMOSTFTは、第3図に示されるようにダブルゲート構造のものであってもよい。

またこの発明のトランジスタは、NMOS型であってもPMOS型であってもよいが、以下、第2図に示すPMOS型を代表して説明する。

図に示されるごとく、この発明の一実施例のPMOSTFTにおいて、石英のごとき絶縁体又は半導体からなる基板1上に、絶縁層2が成長又は堆積される。そして、この絶縁層2上に半導体薄膜トランジスタ主要部3が蒸着形成され、次いでMOSゲート酸化膜4がCVD法又は熱酸化によって形成される。酸化膜4にはコンタクトホール5、5'が開口され、薄膜トランジスタ主要部3は、これらコンタクトホールの位置においては高濃度のp型(P⁺)にドーピングされている。

ポリシリコン又は金属からなる上部電極層は蒸着及びパターン形成されて、ゲート、ソース及び

ドレイン電極6、7、8を構成している。ゲート及びドレイン電極に重なるようなフォトリソマスクを用いることにより、ボロンのイオン注入が行われ、第2図に示されるように自己整合されたソースS及びドレインオフセット領域9が形成される。そして、フォトリソマスクを除去し、さらに低濃度のボロンのイオン注入を行うことにより、第1図に示すように非対称LDDオフセット構造(LDD領域10)が形成される。

かかるTFT構造の特徴は、1)上部電極形状、2)ゲートとドレイン間の低濃度p型又はn型ドーピングのオフセット領域、3)コンタクトホールを介してのドレインの高濃度ドーピング及び4)高濃度ドーピングのソースを伴うソースーゲートの自己整合構造による、ソースの直列抵抗の減少、である。

(ニ)実施例

以下、この発明の自己整合非対称ドレインオフセットMOSTFTについてダブルゲートTFTの製造実施例(第4図(a)~(g))を参照して詳しく説明する。

-9-

-375-

-10-

まず、第4図(a)に示されるように、シリコン基板1A上に絶縁酸化膜層2Aが成長又は堆積され、次いでTFT下部ゲート電極6A(ポリシリコン)が堆積されフォトリソグラフィによりパターン形成される。

次いで、第4図(b)に示されるように、酸化膜4Aが熱酸化又はCVD堆積により形成されてTFT下部ゲート電極6Aの誘電体が構成され、フォトリソグラフィによりコンタクトホール5が開口される。そして、第4図(c)に示されるように、第2のポリシリコン層3Aが堆積されフォトリソグラフィによりパターン形成されてポリシリコン薄膜トランジスタ本体が構成される。

次いで、酸化膜4Bが熱酸化成長又はCVD堆積されて上部電極の絶縁膜が構成され、他方のコンタクトホール5がフォトリソグラフィにより開口される。このエッチング後、第4図(d)に示されるように、このフォトリソグラフィ11をマスクとして、イオン注入が行われ、典型的にはボロンの注入量 $5 \times 10^{15} \text{ cm}^{-2}$ 程度のドーピングがドレイン領域Dとソース領域の一部になされる。このイオン注入の後、フォトリソグラフィ11は除去される。

ただし、ドレインの高濃度ドーピングのためのイオン注入は、酸化膜4Bのエッチングの前に行うことができ、この場合酸化膜を介してのイオン注入はチャネルリングの防止に役立つ。

次いで、第4図(e)に示すように、金属又は第3のポリシリコン層が堆積されフォトリソグラフィによりパターン化されて上部ゲート電極6B、ソース電極7、ドレイン電極8が形成される。そして、第9図(f)に示されるようにドレインオフセット領域9上にフォトリソグラフィマスク12が形成され、高濃度のイオン注入($\sim 5 \times 10^{15} \text{ cm}^{-2}$)が行われて自己整合ソース領域Sが形成される(第4図(f'))。その後、フォトリソグラフィマスク12が除去され、これにより、この発明の自己整合非対称ドレインオフセットTFTの形成が完了する。

なお、この実施例においては、自己整合非対称LDD-TFT構造を構成するため、上記フォトリソグラフィマスク12の除去工程に続いて、第9図(g)に示されるごとく、低濃度のイオン注入がさらに行われている。この注入量は素子特性に適合すべく調整され、通常、ボロンの場合、 $\sim 10^{12} \text{ cm}^{-2}$ 程度である。

(ホ) 発明の効果

ポリシリコンTFTは安価で生産出来る素子であり、LCD、SRAM及び3-D集積回路等で広く用いられている。しかし、材料の欠陥密度の高さによって、単結晶半導体によるトランジスタに比して非常にリークしやすい。ポリシリコンMOS-TFTにおけるこの電流リークの一つの原因は、ゲート電極から容量的に結合された高電界に依るドレインP-N接合での電界増強生成-再結合リークである。この発明による自己整合非対称LDD構造及び自己整合非対称ドレイン構造により、この接合電界及びオフ電流が減少されることとなる。

上記新規の構造において、ドレインとゲートは分離されて電界強度、ひいてはオフ電流を減少させる。

せる。

上部ゲート電極は、自己整合ソース領域を形成させ、トランジスタのオン(駆動)電流を減少させるソースの寄生直列抵抗を排除する。

さらにゲート及びドレイン電極に重なるフォトリソグラフィマスクにより、ドレインオフセット領域は容易にかつ正確に設定される。

要約するに、この発明のTFT構造により、オフ電流が小さくON/OFF比が大きく素子特性の制御性のよいポリシリコンMOS-TFTの実現により歩留りの改善と低コスト化を可能とする。

4. 図面の簡単な説明

第1図～第3図は、各々この発明の薄膜トランジスタの実施例を示す構成説明図、第4図は同じく製造工程を示す構成説明図、第5図は従来のMOS型薄膜トランジスタの基本構造を示す説明図、第6図～第8図は同じく従来のMOS型薄膜トランジスタの具体的構造を各々示す説明図である。

1……基板、1A……シリコン基板、

- 2 ……絶縁膜層、2 A ……絶縁酸化膜層、
 3 ……半導体薄膜トランジスタボディ、
 3 A ……第2ポリシリコン層、
 4 ……酸化膜、4 A、4 B ……酸化膜、
 5、5' ……コンタクトホール、
 6 ……ゲート電極、
 6 A ……TFT下部ゲート電極、
 6 B ……TFT上部ゲート電極、
 7 ……ソース電極、8 ……ドレイン電極、
 9 ……ドレインオフセット領域、
 10 ……LDD領域、
 11 ……フォトリジスト、
 12 ……フォトリジストマスク。

代理人 弁理士 野河 信太郎



-15-

図 1

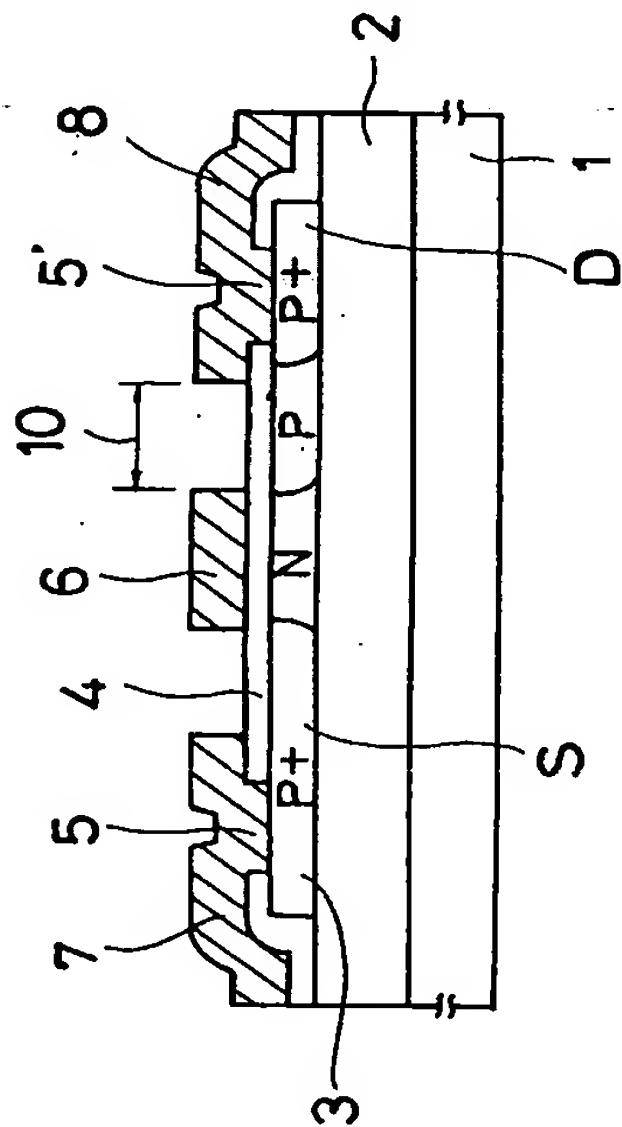


図 2

